

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-180961

(43)Date of publication of application : 22.10.1983

(51)Int.Cl.

G01R 31/26
// H01L 21/66

(21)Application number : 57-062498

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.04.1982

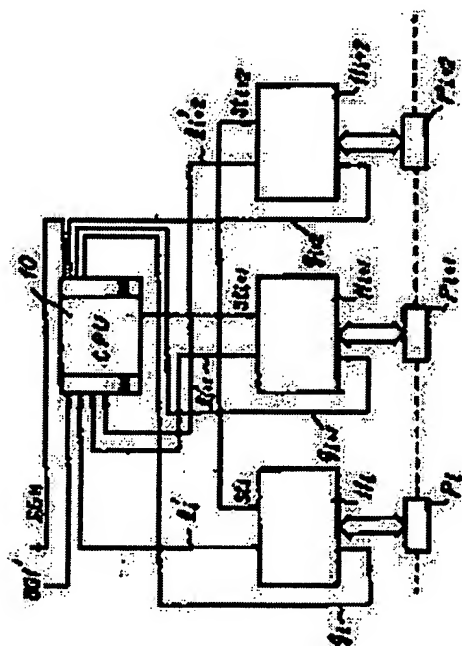
(72)Inventor : AIDA AKIRA

(54) AUTOMATIC TESTING OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To simplify the construction of an automatic testing system by providing a CPU as interface for connecting a tester to a handler.

CONSTITUTION: A handler and testers 11i and 11i+1... are connected with a CPU10 as interface and a test start command from the CPU10 is transmitted through lines Sti, Sti+1... so that the testers 11i... will test corresponding to measuring positions Pi, Pi+1... to judge the propriety thereof. The results are written into an address corresponding to the positions Pi... of a memory of the CPU10 via lines Pi, Pi+1.... Then, a movement command SGH is outputted to the handler from the CPU10 to move a device while the memory contents of the memory of the CPU10 are shifted at an interval of one address and applied to the testers Pi... via lines gi, gi+1.... The testers Pi... fail to test corresponding to a deficiency decision signal thereby allowing the judgement of possible deficiency. The testing is proceeded by repeating the same operation. This system employing a CPU can simplify the construction of the testing system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

④ 日本国特許庁 (JP)
④ 公開特許公報 (A)

④ 特許出願公開

昭58-180961

⑥ Int. CL¹
G 01 R 31/26
7月 01 L 21/06

識別記号 庁内整理番号
7859-2G
6851-5F

⑥ 公開 昭和58年(1983)10月22日

発明の核 ！
審査請求 未請求

(全 4 頁)

⑥ 半導体装置の自動テスト方法

東京芝浦電気株式会社トランジスタ工場内

⑥ 特 願 昭57-62498
⑥ 出 願 昭57(1982)4月16日
⑥ 発 明 者 金田彰
川崎市幸区小向原芝町1番地東

⑥ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑥ 代 理 人 弁理士 尾近憲徳 外1名

要 要 要

1. 発明の名称

半導体装置の自動テスト方法

2. 発明の要旨

ハンドラを用いて半導体装置のテスト箇所をこれに対応する試験用板に設けられたテスト部に接続してテストする半導体装置の自動テスト方法において、ハンドラとテスト部とを結合するインターフェイスを中央処理装置を介して形成して、該中央処理装置のメモリにテスト部に対応してテスト部から与えられるテスト箇所の良、不良の判定信号を記憶させるようにし、ハンドラによつて半導体装置の次のテスト箇所が次のテスト部に接続されたとき前記メモリから前記判定信号を読み出して前記次のテスト部に供給し、該テスト部でこれを判読させて前記次のテスト箇所のテストを行なうかどうかを決定させ前記テストを行なうとされたことを信号とする半導体装置の自動テスト方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体装置の自動テスト方法に関する。

(発明の技術的背景とその問題点)

従来より半導体装置の生産ラインにおいて電力化を目的としテスト工場の作業効率(ハンドラ)をテストと結合した自動テスト方法がある。このハンドラとは半導体装置(以下デバイスと称す)をテストに搬送してテストを行なわせるもので、これとテストとを結合させる方式として規定ボリジロンをデバイスのテスト部だけ設け、あるボリジロンでこれに対応する箇所をテストしその判定結果をみて次のボリジロンでのテストを行なうかどうかの動作を定める方式がある。テストは規定ボリジロンだけ設けられ、最終規定ボリジロンのテストが完了後への信号を発生する。

この種のボリジロンでテストする場合のハンドラとテストとのインターフェイスを簡易的に例示する。

この図で11、11'、11+、11-、11+、11-はハンドラ(図示せず)の動作タイミングでテストをなせるソフトウェルスでそれぞれテスト21、21+、21-

一のテスト結果の値を記憶し、次のテストの動作のコントロールをする。

ハンドラからのテストスタート信号は $8Q_1$ 、シフト信号は $8Q_2$ で示してある。テスト 2 の動作はテストスタート信号 $8Q_1$ とレジスタ 1 の記憶内容がアンドゲートにより一致する場合のみテスト開始となる。デバイスは判定ポジション PI でこれに対応する箇所とテスト 2 とがハンドラによってコンダクト及びソリダクトで接続されてテストが開始される。そしてテスト 2 はそのテスト結果を見たらパス (PASS)、不良ならフェイル (FAIL) として PASS/FAIL ライン 11 に出力し、レジスタ 1 にハンドラのフィードバック信号 $8Q_3$ と関係させて記憶させる。デバイスはハンドラによって次のポジション $PI+1$ に送られ、同様に PI の記憶内容も $PI+1$ に移される。ポジション PI に仕向のポジション $PI-1$ 、あるいは次のデバイスが訪れて来、またポジション $PI+1$ に別のポジション $PI+1$ のデバイスがある。またレジスタ 11、11+、... にはそれぞれ前のポジションのレジスタ

11-1、11+1、... の記憶内容がある。

そして各判定ポジションにデバイスがセットされた後アンドゲート $8Q_1$ 、 $8Q_2$ 、 $8Q_3$ 、... によりハンドラからのスタート信号 $8Q_1$ と 11、11+、... の記憶内容とのアンドをとり、動作内容がパスの場合にはスタート信号 111、112+、... をテスト 21、21+、... へ伝える。フェイルの場合はスタート信号が与えられず、テストは動作しない。

このようにハンドラを用いてデバイスを複数の判定ポジションで自動的にテストする方法は、ハンドラとテストとのインターフェイスを、テストの判定結果をソフトウェアに記憶させ、デバイスを次のポジションに送るハンドラの送りと同様にソフトウェアによって記憶内容を次のポジションのテストにあて、この内容がパスならはテストを動作させフェイルならは動作させない機能を持つようにして、テストとすることが一般的である。

しかしながらこのようなインターフェイス方式を用いたテスト方法ではインターフェイスのレジスタ数が増える傾向があり、それだけ回路の快

向も多く又回路も複雑しい。さらにシステム設計も容易でないという難点もある。

(発明の目的)

本発明はハンドラとテストとのインターフェイスを CPU 化したデバイスのテスト方法を提供することを目的とする。

(発明の説明)

本発明は、ハンドラとテストとを結合するインターフェイスを中央処理装置を介して形成して、該中央処理装置のメモリにテストに对应してテストから与えられるテスト結果の良、不良の判定信号を記憶させるようにし、ハンドラによってデバイスの次のテスト箇所が次のテストに移動されたとき前記メモリから前記判定信号を読み出して前記次のテストに供給し、該テストでこれを判別させて後記次のテスト箇所のテストを行なうかどうかを決定させながらテストを行なうようにしたことを特徴とする。

(発明の実施例)

本発明はハンドラを用いてデバイスのテスト

法を順次これに対応するテストに要請し、デバイスをテストする自動テスト方法において、ハンドラを適宜図に示すようなインターフェイスでテストと結合してテストを行なうことを特徴とする。

上記インターフェイスは CPU (中央処理装置) 10 を備えて構成されており、CPU10 はハンドラ (図示せず) からテストスタート信号 $8Q_1$ を受け取ってテストを開始させ、またデバイスを次のポジションに移動させるソフト信号 $8Q_2$ を発生してハンドラに与えるようになっている。また CPU からデバイスのテスト箇所だけ取付けられたテスト 111、111+、... にそれぞれ前のテスト 11-1、11-1、... によるテスト結果の判定信号 (パス、フェイル信号) と、スタート信号 111、112+、... とを与え、またテスト 111、112+、... からテスト結果の判定信号 (パス、フェイル信号) を CPU に受け取るようになっている。

CPU10 では各ポジション PI 、 $PI+1$ 、... のテスト 111、111+、... をアドレスで指定して、各テストの判定結果はそのアドレスのメモリに記憶

れる。そしてデバイスを次のポジションに移すソフト番号80Hを発生してハンドラに与え、デバイスが移動したらハンドラから発生されるテストスタート番号81Hによつて判定結果はそれぞれ次のアドレスにソフトされ、判定番号とよつて次のポジションのテストに与えられるようになる。また同時にスタート番号81H、81H+1、…をテストに与える。その判定結果はテストから次に判定結果が入つて来るとそれがとつて代つて記憶される。

ポジションPi、Pi+1、…のテスト111、111+1、…はそれぞれに与えられた判定番号とスタート番号811、111+1、…とのアンドをよつて判定結果のパス、フェイルを判別し、そのポジションにあるデバイスの対応するテスト箇所をテストするかどうか決める。この決定は、この種デバイスの特性の良否をテストするテストに判定結果を照会しているため、どの判定結果を利用して行なわれる。そして判定番号がパスならばデバイスのテストを行なつてテスト箇所が良か不良かの判定をし、その結果を判定番号としてPASS/FAIL ライン

811、811+1、…を通してCPU10に与える。テストに与えられる判定番号がフェイルならばテストは内部のテストプログラムのエンドヘリジャンプして、テストを行なわずフェイル番号をCPU10に与える。

以上のよりCPU10を介してハンドラと結合されたテストにより、デバイスは次のようにしてテストされる。判定ポジションPi、Pi+1、…のそれぞれにセットされると、次のポジションのテスト結果の判定番号をCPU10から供給されたテスト111、111+1、…によりその内容を判別されて、パスのものについて対応する箇所をテストされる。その結果はパス、フェイルの判定番号としてCPU10に与えられ、CPU10のメモリのテストに形成するアドレスに記憶される。フェイルのものについてはテストは行なわれず、テストはフェイルの判定番号を発生してCPU10のメモリに同時に記憶される。ポジションPi、Pi+1、…にあるデバイスのテストが終了すると、ハンドラによりデバイスはそれぞれ次のポジションPi+1、Pi+2、…に

移動される。ポジションPiにも前のポジションからデバイスが移される。そしてCPU10から前のポジションのテスト結果の判定番号を供給され、そのパス、フェイルに従つて前と同様にテストされる。

このテストにCPU10から供給される判定番号を判別して記憶する箇所をテストするかどうかの判断をさせながら行なわせるテストを、デバイスのテスト箇所が有るテスト全てに順次行なわせる。そして最終のテストでテストすると共にテスト箇所は一度でも不良があるかどうかをその適用番号をデバイスの識別番号に与える。

このようにテストの判別結果を利用してデバイスのテスト箇所のテストを行なわせるかどうかテストに決める、かつこのテストをハンドラとを結合するインターフェイスをCPU化してテストを行なうようにさせるので、従来のようにシフトレジスタを用いたハードウェアのインターフェイスに比ベインターフェイスを簡単に構成してテストを行なうことができる。

(発明の効果)

本発明方法によれば、テストにデバイスのテスト箇所のテストを行なうかどうかの判別をさせ、かつテストとハンドラとを結合するインターフェイスをCPU化してテストするようになっているので、テストシステムを簡単に構成してテストが行なえ、またシステムの故障も少なく保守も容易となる。

(図面の簡単な説明)

図1図は従来の方法に用いられるハンドラとテストとを結合するインターフェイスの図解図、図2図は本発明方法における図1図と同様の図解図である。

10 ……CPU

111、111+1、… ……テスト

81、81+1、… ……テストに供給される判定番号のライン

811、811+1、… ……CPUに与えられる判定番号のライン

Pi、Pi+1、… ……判定ポジション

811、811+1、… ……スタート番号